

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-255054

(43)Date of publication of application : 10.09.1992

(51)Int.Cl.

G06F 13/28

G06F 13/00

G06F 13/38

(21)Application number : 03-016246

(71)Applicant : NEC ENG LTD

(22)Date of filing : 07.02.1991

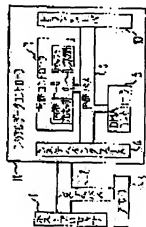
(72)Inventor : HIROMORI HIDESHI

(54) CONTROL SYSTEM FOR SERIAL DATA CONTROLLER

(57)Abstract:

PURPOSE: To effectively divide and allocate a DMA transfer area to a memory space by providing a serial data controller with an internal processor and a buffer register group.

CONSTITUTION: The buffer register group 9 stores the start addresses and area size of respective DMA transfer areas based upon transmission frame data constituted of plural blocks stored in the memory 3. A transceiver 10 converts transmission parallel data into serial data. A system interface 4 acts as an interface with a host processor 1. A DMA controller 5 and an internal controller 7 execute the DMA transfer of transmission frame data from the memory 3 to the serial data controller 11. While referring the buffer register group 9, the DMA transfer areas are successively transferred to the transceiver one by one under the control of the DMA controller 5 and converted into serial data by an internal processor 8. Consequently the DMA transfer areas for storing transmission data can be effectively divided and allocated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平4-255054

⑦

(43) 公開日 平成4年(1992)9月10日

| (51) Int.Cl. ⁸ | 識別記号 | 庁内整理 号 | F I | 技術表示箇所 |
|---------------------------|-------|---------|---------|--------|
| G 0 6 F | 13/28 | 3 1 0 F | 7052-5B | |
| | 13/00 | 3 5 3 J | 7368-5B | |
| | 13/38 | 3 5 0 | 7052-5B | |

審査請求 未請求 請求項の数2(全4頁)

(21) 出願番号 特願平3-16246

(22) 出願日 平成3年(1991)2月7日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区西新橋3丁目20番4号

(72) 発明者 廣森 秀史

東京都港区西新橋三丁目20番4号日本電気
エンジニアリング株式会社内

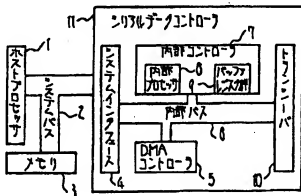
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 シリアルデータコントローラ制御方式

(57) 【要約】

【構成】 パラレルデータをシリアルデータに変換して送出するシリアルデータコントローラ11に、メモリ3に記憶した複数のブロック構成の送信フレームデータによるDMA転送領域それぞれの開始アドレスと領域サイズを記憶するバッファレジスタ群9、送信パラレルデータをシリアルデータに変換するトランシーバ10、ホストプロセッサとのインタフェースをとるシステムインタフェース4、送信フレームデータをメモリ3からシリアルデータコントローラにDMA転送するDMAコントローラ5および内部コントローラ11を配置し、DMAコントローラ5の制御のもとにバッファレジスタ群9を参照しつつDMA転送領域を1つずつ順次トランシーバ10に転送して内部プロセッサによりシリアル変換させる。

【効果】 メモリ3に対し送信データ格納用のDMA転送領域の有効な分割割当てが可能となる。



【特許請求の範囲】

【請求項1】 ホストプロセッサ管理下のメモリに格納した複数のブロック構成の送信フレームデータをパラレルデータ形式でDMA転送して移送し、シリアルデータ形式で送出するシリアルデータコントローラにおけるデータ転送を制御するシリアルデータコントローラ制御方式において、前記メモリに記憶した複数のブロック構成の送信フレームデータによるDMA転送領域それぞれの開始アドレスと領域サイズを記憶するバッファレジスタ群と、送信パラレルデータをシリアルデータに変換するトランシーバと、ホストプロセッサとのインタフェースをとるシステムインタフェースと、前記送信フレームデータを前記メモリから前記シリアルデータコントローラにDMA転送するDMAコントローラと、前記DMAコントローラの制御のもとに前記バッファレジスタ群を参照しつつ前記DMA転送領域を1つずつ順次前記トランシーバに転送してシリアル変換させる内部プロセッサとを備えて成ることを特徴とするシリアルデータコントローラ制御方式。

【請求項2】 前記バッファレジスタ群と前記内部プロセッサを、内部バスを介して前記トランシーバ、システムインタフェースおよびDMAコントローラと結合された前記シリアルデータコントローラの内部コントローラとして構成したことを特徴とする請求項1記載のシリアルデータコントローラ制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はシリアルデータコントローラ制御方式に関し、特にDMA (Direct Memory Access) を利用してデータを移送するシリアルデータコントローラ制御方式におけるデータの送信制御を行なうシリアルデータコントローラ制御方式に関する。

【0002】

【従来の技術】 従来、複数のブロックを有するフレームデータの送信においては、複数のブロック構成のフレームデータを連続したメモリ空間上へ配置させてDMA転送を行っていた。

【0003】 このため、機能別に階層化された通信プロトコルを実現するために、最上位層の制御プログラムは自層以下の制御プログラムが付加するブロック（ヘッダ）長を意味して送信データを格納するメモリ空間を確保する必要があった。この状態を図4に詳細に示す。図4は最下位層の第1層から最上位層の第3層まで階層化された通信プロトコルの各層に確保するメモリ空間を示す。

【0004】 あるいはまた、上位層からの送信データに自層のヘッダを付加した形式を例メモリ空間に再配置させることで実現していた。この状態を図5に詳細に示す。

【0005】

【発明が解決しようとする課題】 上述した従来の図4に示す送信制御方式では、上位層が自層以下が使用するヘッダ領域を意識する為、完全に機能を分割した階層構造を構築できないという欠点がある。

【0006】 また、図5に示す送信制御方式では、上位層からの送信データを自層の送信バッファに一度格納後自層のヘッダを付加する必要がある。メモリの有効利用が図れず、さらに各層における格納処理の為に性能の低下を招くという欠点がある。

【0007】

【課題を解決するための手段】 本発明の方式は、ホストプロセッサ管理下のメモリに格納した複数のブロック構成の送信フレームデータをパラレルデータ形式でDMA転送して移送し、シリアルデータ形式で送出するシリアルデータコントローラにおけるデータ転送を制御するシリアルデータコントローラ制御方式において、前記メモリに記憶した複数のブロック構成の送信フレームデータによるDMA転送領域それぞれの開始アドレスと領域サイズを記憶するバッファレジスタ群と、送信パラレルデータをシリアルデータに変換するトランシーバと、ホストプロセッサとのインタフェースをとるシステムインタフェースと、前記送信フレームデータを前記メモリから前記シリアルデータコントローラにDMA転送するDMAコントローラと、前記DMAコントローラの制御のもとに前記バッファレジスタ群を参照しつつ前記DMA転送領域を1つずつ順次前記トランシーバに転送してシリアル変換させる内部プロセッサとを備えて構成される。

【0008】 また、本発明の方式は、前記バッファレジスタ群と前記内部プロセッサを、内部バスを介して前記トランシーバ、システムインタフェースおよびDMAコントローラと結合された前記シリアルデータコントローラの内部コントローラとした構成を有する。

【0009】

【実施例】 次に、本発明について図面を参照して説明する。

【0010】 図1は、本発明の一実施例の構成図である。図1に示す実施例は、ホストプロセッサ1と、ホストプロセッサ管理下のメモリ3と、シリアルデータコントローラ11とを備えて成り、これら相互間はシステムバス2で結合される。

【0011】 シリアルデータコントローラ11は、システムバス2を介して結合されるホストプロセッサ1とのシステムインタフェースをとるシステムインタフェース4と、送信データをメモリ3のメモリ空間からトランシーバ10へDMA転送するDMA動作を制御するDMAコントローラ5と、内部バス6と、内部コントローラ7と、FIFO方式で送信パラレルデータをシリアルデータに変換するトランシーバ10とを備えて成り、また、内部コントローラ7は、内部プロセッサ8と複数の任意

のDMA転送領域の開始アドレスと領域サイズを記憶するバッファレジスタ群9とを備えて成る。

【0012】図2は、図1の実施例のデータ転送フローを示すブロック図である。以下、図2を参照しつつ図1の実施例の動作を説明する。

【0013】ホストプロセッサ1は、メモリ3内のDMA転送領域(1)～(3)12a～12cの開始アドレスと領域サイズをそれぞれシリアルデータコントローラ11の内部コントローラ7のバッファレジスタ群9に順次登録し送信開始要求を出す。この場合、DMA転送領域のサイズは任意に設定可能である。

【0014】内部コントローラ7の内部プロセッサ8は、バッファレジスタ群9に登録されたDMA転送領域を1ブロック分読み出し、DMAコントローラ5の制御の下にトランシーバ10へ転送する。

【0015】内部プロセッサ8は、読み出したブロックのDMA転送終了後、再度バッファレジスタ群9からさらに1ブロック分の情報を読み出しDMA転送を再開する。

【0016】内部プロセッサ8は、バッファレジスタ群9が空になった時点で送信処理を停止し、送信の完了をホストプロセッサ1へ通知する。この処理により図5に示したデータがトランシーバ10から外部に送信される。

【0017】このようにして、シリアルデータコントローラ内に内部プロセッサと、ホストプロセッサが管理するメモリ空間のDMA転送領域の開始アドレスと領域サイズを記憶するバッファレジスタ群とを備えてデータ転送を行なうことにより、ホストプロセッサが管理するメモリ空間に対して有効に送信データ格納用のDMA転送領域を分割して割り当てることが可能となる。

【0018】

【発明の効果】以上説明したように本発明は、シリアル

データコントローラ内にホストプロセッサが管理するメモリ空間のDMA転送領域の開始アドレスと領域サイズを記憶するバッファレジスタ群と内部プロセッサから成る内部コントローラを設けることにより、ホストプロセッサが管理するメモリ空間に対して有効に送信データ格納用のDMA転送領域を分割して割り当てることが可能になり、小さなメモリで効率のよい送信を可能とすることが出来る効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】図1の実施例のデータ転送フローを示すブロック図である。

【図3】図1の実施例の送信データの一例を示す図である。

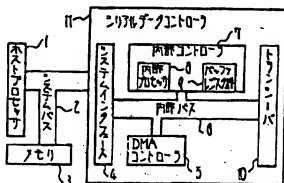
【図4】従来のシリアルデータコントローラ制御方式の第一例の説明図である。

【図5】従来のシリアルデータコントローラ制御方式の第二例の説明図である。

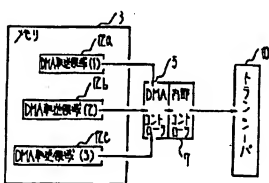
【符号の説明】

- 1 ホストプロセッサ
- 2 システムバス
- 3 メモリ
- 4 システムインタフェース
- 5 DMAコントローラ
- 6 内部バス
- 7 内部コントローラ
- 8 内部プロセッサ
- 9 バッファレジスタ群
- 10 トランシーバ
- 11 シリアルデータコントローラ
- 12 a, 12 b, 12 c DMA転送領域

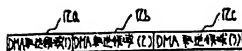
【図1】



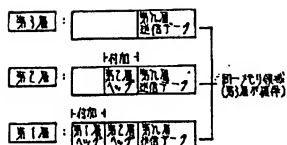
【図2】



【図3】



【図4】



【図5】

